

10/537124

## (12)特許協力条約に基づいて公開された国際出願

537124

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年6月17日 (17.06.2004)

PCT

(10)国際公開番号  
WO 2004/051741 A1

(51) 国際特許分類: H01L 21/82, 27/04  
(72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): サッチン・アガラ  
ワル (SACHIN, Aggarwal) [IN/IN]; 201303 ウッターブ  
ラデシュ ノイダ 66 C ブロック-D セクター 53  
カンチャンジャンガ アパートメント Uttar Pradesh  
(IN).

(21) 国際出願番号: PCT/JP2003/015328  
(74) 代理人: 須藤 克彦 (SUTO, Katsuhiko); 〒373-0818 群馬  
県太田市小舞木町 388 OKビル 2階 Gunma (JP).

(22) 国際出願日: 2003年12月1日 (01.12.2003)  
(76) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

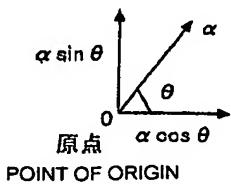
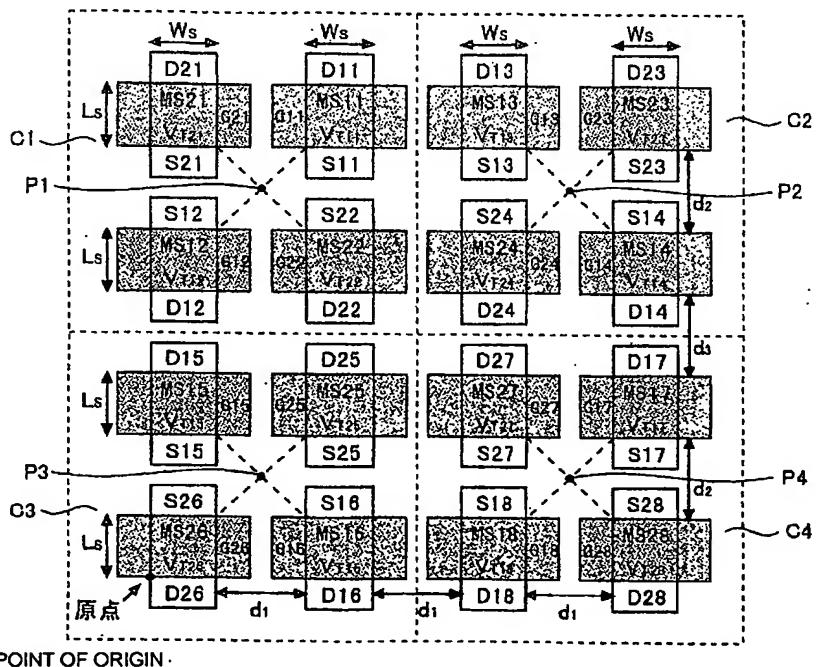
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2002-351187 2002年12月3日 (03.12.2002) JP

(71) 出願人(米国を除く全ての指定国について): 三洋電  
機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP];  
〒570-8677 大阪府守口市京阪本通二丁目5番5号  
Osaka (JP).

[続葉有]

(54) Title: CIRCUIT LAYOUT STRUCTURE

(54) 発明の名称: 回路レイアウト構造



(57) Abstract: Main transistors (M1,M2) are divided into sub-transistors arranged in a matrix with four rows and four columns in such a manner that four cells each are constituted by four sub-transistors having a common center point. This can realize a layout structure wherein the transistor-matching of the main transistors (M1,M2) is as excellent as that of the four-segment layout scheme and wherein the pattern area is small.

(57) 要約: メイントランジスタM1,M2を4行4列のマトリクスに配置されたサブトランジスタに分割し、それぞれ4つのサブトランジスタから成る4つのセルを構成し、各セルに属するサブトランジスタが共通の中心点を有するようにした。これにより、メイントランジスタM1,M2のトランジスタのマッチングは4セグメント型レイアウトスキームのそれと同程度に優れ、しかもパターン面積が小さいレイアウト構造を実現することができる。

WO 2004/051741 A1



(84) 指定国(広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM,

ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG) の指定のための出願し及び特許を与えられる出願人の資格に関する申立て(規則4.17(ii))

- USのみのための発明者である旨の申立て(規則4.17(iv))

添付公開書類:

- 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 回路レイアウト構造

## 技術分野

本発明は、回路レイアウト構造に関し、例えばカレントミラー回路や差動アンプのようにトランジスタペアを有した回路において、トランジスタペアのマッチング特性を向上させた回路レイアウト構造に関する。

## 背景技術

トランジスタ間の精密なマッチングは、カレントミラー回路や差動アンプの構成にとって重要である。特に、この精密なマッチングは、低オフセットのオペアンプを得るために助けるとなる。第7図は差動ゲイン段を示す回路図である。一対のMOSトランジスタM3, M4がカレントミラー回路10を形成しており、もう一対のMOSトランジスタM1, M2が差動入力ペア11を構成しており、それぞれの一対のMOSトランジスタは精密にマッチングすることが要求される。

カレントミラー回路10を構成するための最も基本的なレイアウトスキームは、横型レイアウトスキーム (Lateral Layout Scheme) である。これよりも優れた選択肢は、共通中心点型レイアウトスキーム (Common-Centroid Layout Scheme) である。これらのレイアウトスキーム及び4セグメント型レイアウトスキーム (Four-Segment Layout Scheme) と呼ばれるスキームは以下に掲げる文献に記載されている。

マオーフェング ラン, アニルクマル タミネディ及びランダール ガイア「マッチング特性向上のためのカレントミラーレイアウト戦略」アナログ インテグレーテッド サーキツ アンド シグナル プロセッシング 第28巻、

9-26頁、2001年7月

(Mao-Feng Lan, Anikumar Tammineedi and Randall Geiger,"Current Mirror Layout Strategies for Enhanced Matching Performance",Analog Integrated Circuits and Sigant Processing,Vol28,PP.9-26,July 2001)

以下、これらの従来のレイアウトスキームについて説明する。第8図は、共通中心点型レイアウトスキームを示す図である。第9図は第8図の等価回路を示す図である。M1, M2はマッチングがとられるべきMOS電界効果型トランジスタである。トランジスタM1はサブトランジスタMS11及びMS21に分割され、同様にトランジスタM2はサブトランジスタMS21及びMS22に分割されている。

第8図に示すようこれらのサブトランジスタは共通の中心点Pを有するため、共通中心点型レイアウトスキームと呼ばれている。また、第9図に示すように、サブトランジスタMS11及びMS21のゲート、ドレイン及びソースは共通に接続されてトランジスタM1を構成し、同様に、サブトランジスタMS21及びMS22のゲート、ドレイン及びソースは共通に接続されてトランジスタM2を構成している。

ところで、以下に掲げるトランジスタのマッチングに関する文献及びプロセスに依存したレイアウト構造を参照すると、様々なレイアウトのトランジスタがモデル化されている。

エミ・ジェイ・エム ペルグロム, エー・シー・ジェイ ドウインマイジェル及びエー・ピー・ジー ウェルバース「MOSトランジスタのマッチング特性」アイ・イー・イー・イー ジェイ・エス・エス・シー SC-24巻、1433-1439頁、1989年

( M.J.M. Pelgrom, A.C.J.Duinmaijer and A.P.G. Welbers,"Matching properties of MOS transistors"IEEE JSSC, Vol.sc-24, PP.1433-1439, 1989.

そのようなデバイスの等価的なしきい値電圧は同文献によれば次式で与えられる。

$$V_{T_{eq}} = \frac{\iint V_T(x, y) dx dy}{ActiveArea}$$

ここで、Active Area とはサブトランジスタの活性化領域、つまり電流が流れ るチャネル領域を意味している。 $V_T(x, y)$  は  $x, y$  座標に依存した局所的 なしきい値電圧であり、これを活性化領域に亘って面積分してその平均値を求め ている。

また、しきい値電圧はプロセス上の理由からウエハーの面内で場所によって変 化しており、このしきい値電圧の変化を、第 8 図中に示す原点 O からの勾配振幅 (gradient amplitude)  $\alpha$  及び勾配方位角 (gradient direction)  $\theta$  を導入すること でモデル化することができる。

そこで、このようなしきい値電圧モデルを上記のサブトランジスタ MS 1 1, MS 1 2, MS 2 1, MS 2 2 に適用してそれぞれに対応するしきい値  $V_{T_{11}}$ ,  $V_{T_{12}}$ ,  $V_{T_{21}}$ ,  $V_{T_{22}}$  を求めることができる。

まず、サブトランジスタ MS 1 1 のしきい値  $V_{T_{11}}$  については次式で与えられ る。

$$MS11: V_{T_{11}} = \frac{\int_{(L_s+d_2)}^{(2L_s+d_1)} \int_{(W_s+d_1)}^{(2W_s+d_1)} [V_T + (L_s\alpha \sin \theta) + (W_s\alpha \cos \theta)] \times [dW] \times [dL]}{W_s \times L_s}$$

$$V_{T_{11}} = \frac{\int_{(L_s+d_2)}^{(2L_s+d_1)} \left[ V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left( \frac{(d_1 + 2W_s)^2 - (d_1 + W_s)^2}{2} \right) \right] [dL]}{W_s \times L_s}$$

$$V_{T11} = \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} [V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left( \frac{d_1^2 + 4W_s^2 + 4d_1 W_s - d_1^2 - W_s^2 - 2d_1 W_s}{2} \right)] [dL]}{W_s \times L_s}$$

$$V_{T11} = \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} [V_T W_s + L_s W_s \alpha \sin \theta + \alpha \cos \theta \left( \frac{3W_s^2 + 2W_s d_1}{2} \right)] [dL]}{W_s \times L_s}$$

$$V_{T11} = \frac{\int_{(L_s+d_2)}^{(2L_s+d_2)} [V_T + L_s \alpha \sin \theta + \alpha \cos \theta \left( \frac{3W_s}{2} + d_1 \right)] [dL]}{L_s}$$

$$V_{T11} = \frac{\left[ V_T L_s + \alpha \cos \theta \left( \frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left( \frac{(2L_s+d_2)^2 - (L_s+d_2)^2}{2} \right) \right]}{L_s}$$

$$V_{T11} = \frac{\left[ V_T L_s + \alpha \cos \theta \left( \frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left( \frac{4L_s^2 + d_2^2 + 4L_s d_2 - L_s^2 - d_2^2 - 2L_s d_2}{2} \right) \right]}{L_s}$$

$$V_{T11} = \frac{\left[ V_T L_s + \alpha \cos \theta \left( \frac{3W_s}{2} + d_1 \right) L_s + \alpha \sin \theta \left( \frac{3L_s^2 + 2L_s d_2}{2} \right) \right]}{L_s}$$

$$V_{T11} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin \theta$$

同様にして、サブトランジスタMS12のしきい値 $V_{T12}$ については次式で与えられる。

$$\text{MS12: } V_{T12} = V_T + \frac{W_s}{2} \alpha \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

同様にして、サブトランジスタMS21のしきい値 $V_{T21}$ については次式で与

えられる。

$$\text{MS21: } V_{T21} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

同様にして、サブトランジスタ M S 2 2 のしきい値  $V_{T22}$  については次式で与えられる。

$$\text{MS22: } V_{T22} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin \theta$$

上述の数式において、d 1 は隣接するサブトランジスタのドレイン（ソース）間の距離、d 2 は隣接するサブトランジスタ間のゲート間の距離、W s はサブトランジスタのゲート幅、L s はサブトランジスタのゲート長である。

次に、第 10 図は、4 セグメント型レイアウトスキームを示す図である。第 11 図は第 10 図の等価回路を示す図である。M 1, M 2 はマッチングがとられるべき M O S 電界効果型トランジスタである。トランジスタ M 1 はサブトランジスタ M S 1 1, M S 1 2, M S 1 3 及び M S 1 4 に分割され、これらのサブトランジスタは 4 つのセグメントに配置されている。

同様に、トランジスタ M 2 はサブトランジスタ M S 2 1, M S 2 2, M S 2 3 及び M S 2 4 に分割され、これらのサブトランジスタは 4 つのセグメントに配置されている。

この 4 セグメントレイアウトスキームについても第 10 図中に示すように、原点 O、勾配振幅  $\alpha$  及び勾配方位角  $\theta$  が定義され、しきい値のモデリング結果を記述する以下の式が得られる。すなわち、以下の式においてサブトランジスタ M S 1 1 のしきい値を  $V_{T11}$ 、サブトランジスタ M S 1 2 のしきい値を  $V_{T12}$ 、サブトランジスタ M S 1 3 のしきい値を  $V_{T13}$ 、サブトランジスタ M S 1 4 のしきい値を  $V_{T14}$ 、サブトランジスタ M S 2 1 のしきい値を  $V_{T21}$ 、サブトランジスタ M S 2 2 のしきい値を  $V_{T22}$ 、サブトランジスタ M S 2 3 のしきい値を  $V_{T23}$ 、

サブトランジスタMS24のしきい値をV<sub>T24</sub>とする。

$$\text{MS11: } V_{T11} = V_T - \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \cos \theta + \alpha \left( \frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

$$\text{MS12: } V_{T12} = V_T + \alpha \left( W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta + \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

$$\text{MS13: } V_{T13} = V_T + \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \cos \theta - \alpha \left( \frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

$$\text{MS14: } V_{T14} = V_T - \alpha \left( W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta - \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

$$\text{MS21: } V_{T21} = V_T + \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \cos \theta + \alpha \left( \frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

$$\text{MS22: } V_{T22} = V_T + \alpha \left( W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta - \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

$$\text{MS23: } V_{T23} = V_T - \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \cos \theta - \alpha \left( \frac{L}{2} + W + \frac{3d_1}{2} \right) \sin \theta$$

$$\text{MS24: } V_{T24} = V_T - \alpha \left( W + \frac{L}{2} + \frac{3d_1}{2} \right) \cos \theta + \alpha \left( \frac{W}{2} + \frac{d_1}{2} \right) \sin \theta$$

上述の数式において、d<sub>1</sub>は隣接するサブトランジスタのドレイン（ソース）間の距離、W<sub>s</sub>はサブトランジスタのゲート幅、L<sub>s</sub>はサブトランジスタのゲート長である。

#### 発明の開示

上述した4セグメント型レイアウトスキームは、中心点型レイアウトスキームに比して優れたマッチング特性を発揮することができる。しかしながら、4セグメント型レイアウトスキームは大きなパターン面積を必要とするという欠点があ

った。

そこで、本発明の回路レイアウト構造は、精密なマッチングが要求される一対のトランジスタ第1図に示すように、4行4列のマトリクスに配置されたサブトランジスタに分割し、それぞれ4つのサブトランジスタから成る4つのセルを構成し、各セルに属するサブトランジスタが共通の中心点を有するようにしたレイアウト構造である。

これにより、一対のトランジスタのマッチングは4セグメント型レイアウトスキームのそれと同程度に優れ、しかもパターン面積が小さいレイアウト構造を実現することができる。

#### 図面の簡単な説明

第1図は本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造を示す平面図であり、第2図は本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造の等価回路図であり、第3図は本発明の実施形態に係るマルチプル共通中心点型のレイアウト構造の概念図であり、第4図は各種のレイアウトのシミュレーションに用いた回路の回路図であり、第5図はH S P I C E を用いたシミュレーションの結果を示す図であり、第6図はH S P I C E を用いたシミュレーションの結果を示す図であり、第7図は差動ゲイン段を示す回路図であり、第8図は共通中心点型レイアウトスキームを示す平面図であり、第9図は共通中心点型レイアウトスキームの等価回路図であり、第10図は4セグメント型レイアウトスキームを示す平面図であり、第11図は4セグメント型レイアウトスキームの等価回路図である。

#### 発明を実施するための最良の形態

次に本発明の実施形態について図面を参照しながら詳細に説明する。第1図は

マルチプル共通中心点型のレイアウト構造（Multiple-Common-Centroid layout configuration）を示す図であり、第2図は第1図の等価回路を示す図である。M1, M2はマッチングがとられるべきMOS電界効果型トランジスタである。メイントランジスタである第1のトランジスタM1は8個のサブトランジスタMS11, MS12, MS13, MS14, MS15, MS16, MS17, MS18に分割されている。これらのサブトランジスタはゲート、ドレイン及びソースは共通に接続され、第1のトランジスタM1を形成している。

また、同様に、メイントランジスタである第2のトランジスタM2も8個のサブトランジスタMS21, MS22, MS23, MS24, MS25, MS26, MS27, MS28に分割されている。そして、これらのサブトランジスタはゲート、ドレイン及びソースは共通に接続され、第2のトランジスタM2を形成している。

第1のトランジスタM1と第2のトランジスタM2とで差動アンプの差動入力ペアトランジスタを構成することができる。また、第1のトランジスタM1と第2のトランジスタM2とでカレントミラーを構成する場合には、それぞれのサブトランジスタのゲート同士を共通に接続すれば良い。

第1及び第2のトランジスタM1, M2を構成している上記の16個のサブトランジスタは、全体として見ると4行4列のマトリクスに配置されている。このマトリクスは4つのセルから構成されている。第1のセルC1は、サブトランジスタMS11, MS12、サブトランジスタMS21, MS22によって構成されている。

第2のセルC2は、サブトランジスタMS13, MS14、サブトランジスタMS23, MS24によって構成されている。第3のセルC3は、サブトランジスタMS15, MS16、サブトランジスタMS25, MS26によって構成されている。第4のセルC4は、サブトランジスタMS17, MS18、サブトランジ

ンジスタMS27, MS28によって構成されている。

第1のセルC1について詳細に説明すると、第1行第1列にサブトランジスタMS21、第2行第2列にサブトランジスタMS22が配置され、第1行第2列にサブトランジスタMS11、第2行第1列にサブトランジスタMS12が配置されおり、これらのサブトランジスタは共通の中心点P1を有している。

これらのサブトランジスタは列方向にソースドレインが平行に配置され、行方向にゲートが平行に配置されている。そして、第2のセルC2、第3のセルC3、第4のセルC4は第1のセルC1を基に対称配置により構成されている。これらの第2のセルC2、第3のセルC3、第4のセルC4はそれぞれの共通の中心点P2, P3, P4を有している。

第3図はその対称配置の概念をわかりやすく説明したレイアウト図である。図において、第1のトランジスタM1を構成するサブトランジスタに「1」の符号を付し、第2のトランジスタM2を構成するサブトランジスタに「2」の符号を付している。この図からわかるように、第2のセルC2は第1のセルC1を対称線MR1に対して線対称（ミラー対称）に配置することで得られる。また、第3のセルC3は第1のセルC1を対称線MR2に対して線対称に配置することで得られる。第4のセルC4は第2のセルC2を対称線MR2に対して線対称に配置することで得られる。

こうして、第1のトランジスタM1及び第2のトランジスタM2の回路レイアウト構造が得られる。これを1つのマクロセルMC1とすると、このマクロセルMC1を基に、対称線MR3に対して線対称なマクロセルMC2が得られる。そして、更にマクロセルMC1, MC2を基に、対称線MR4に対して線対称なマクロセルMC3, MC4を得ることができる。

更に、マクロセルMC1, MC2, MC3, MC4を対称線MR5に対して線対称に配置して不図示のマクロセルを構成することができる。このような対称配

置を繰り返すことによりマクロセルを無限に増やすことができる。

次に、前述したしきい値電圧モデルを上記の 16 個のサブトランジスタに適用すると、各サブトランジスタのしきい値は以下の式で与えられる。第 1 図において、原点 O、勾配振幅  $\alpha$  及び勾配方位角  $\theta$  が定義されている。

$$\text{MS11: } V_{T11} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left( \frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

$$\text{MS12: } V_{T12} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left( \frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

$$\text{MS13: } V_{T13} = V_T + \alpha \left( \frac{5W_s}{2} + 2d_1 \right) \cos \theta + \alpha \left( \frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

$$\text{MS14: } V_{T14} = V_T + \alpha \left( \frac{7W_s}{2} + 3d_1 \right) \cos \theta + \alpha \left( \frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

$$\text{MS15: } V_{T15} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin \theta$$

$$\text{MS16: } V_{T16} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

$$\text{MS17: } V_{T17} = V_T + \alpha \left( \frac{7W_s}{2} + 3d_1 \right) \cos \theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin \theta$$

$$\text{MS18: } V_{T18} = V_T + \alpha \left( \frac{5W_s}{2} + 2d_1 \right) \cos \theta + \frac{L_s}{2} \alpha \sin \theta$$

$$\text{MS21: } V_{T21} = V_T + \frac{W_s}{2} \alpha \cos \theta + \alpha \left( \frac{7L_s}{2} + 2d_2 + d_3 \right) \sin \theta$$

$$\text{MS22: } V_{T22} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos \theta + \alpha \left( \frac{5L_s}{2} + d_2 + d_3 \right) \sin \theta$$

$$\text{MS23: } V_{T23} = V_T + \alpha \left( \frac{7W_s}{2} + 3d_1 \right) \cos\theta + \alpha \left( \frac{7L_s}{2} + 2d_2 + d_3 \right) \sin\theta$$

$$\text{MS24: } V_{T24} = V_T + \alpha \left( \frac{5W_s}{2} + 2d_1 \right) \cos\theta + \alpha \left( \frac{5L_s}{2} + d_2 + d_3 \right) \sin\theta$$

$$\text{MS25: } V_{T25} = V_T + \alpha \left( \frac{3W_s}{2} + d_1 \right) \cos\theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin\theta$$

$$\text{MS26: } V_{T26} = V_T + \frac{W_s}{2} \alpha \cos\theta + \frac{L_s}{2} \alpha \sin\theta$$

$$\text{MS27: } V_{T27} = V_T + \alpha \left( \frac{5W_s}{2} + 2d_1 \right) \cos\theta + \alpha \left( \frac{3L_s}{2} + d_2 \right) \sin\theta$$

$$\text{MS28: } V_{T28} = V_T + \alpha \left( \frac{7W_s}{2} + 3d_1 \right) \cos\theta + \frac{L_s}{2} \alpha \sin\theta$$

上述した数式において、 $d_1$  は隣接するサブトランジスタのドレイン（ソース）間の距離、 $d_2$ 、 $d_3$  は隣接するサブトランジスタ間のゲート間の距離、 $W_s$  はサブトランジスタのゲート幅、 $L_s$  はサブトランジスタのゲート長である。

次に、HSPICEを用いたシミュレーションについて説明する。このシミュレーションの目的は、勾配方位角 $\theta$ の変化に対して、各種のトランジスターマッチング・レイアウトがどのような特性を示すかをチェックすることである。すべてのシミュレーションに共通なパラメータは、 $d_1 = d_2 = d_3 = 4 \mu\text{m}$ 、 $\alpha = 0.5 \text{ mV}/\mu\text{m}$ 、 $V_T = 0.7 \text{ V}$ である。

第4図はシミュレーションに用いた回路の回路図を示す。メイントランジスタである第1のトランジスタM1はN個のサブトランジスタMS11～MS1Nから構成され、これらのゲートに共通にバイアス電圧 $V_B$ が印加されている。また、サブトランジスタMS11～MS1Nの共通のドレインD1は抵抗Rを通して高い電源 $V_{dd}$ が印加されている。またサブトランジスタMS11～MS1Nの共

通のソース S 1 は低い電源 V<sub>ss</sub> が印加されている。

また、メイントランジスタである第 2 のトランジスタ M 2 は N 個のサブトランジスタ M<sub>S 2 1</sub> ~ M<sub>S 2 N</sub> から構成され、これらのゲートに共通にバイアス電圧 V<sub>B</sub> が印加されている。また、サブトランジスタ M<sub>S 2 1</sub> ~ M<sub>S 2 N</sub> の共通のドレイン D 2 は抵抗 R を通して高い電源 V<sub>dd</sub> が印加されている。またサブトランジスタ M<sub>S 2 1</sub> ~ M<sub>S 2 N</sub> の共通のソース S 2 は低い電源 V<sub>ss</sub> が印加されている。

ここで、すべてのシミュレーションの実行に対して、百分率ミスマッチ (Percentage Mismatch) を次式によって定義する。

$$\text{百分率ミスマッチ (Percentage Mismatch)} = \frac{I_{M2} - I_{M1}}{I_{M1}} \times 100$$

ここで、I<sub>M1</sub> は第 1 のトランジスタ M 1 を流れる電流、I<sub>M2</sub> は第 2 のトランジスタ M 2 を流れる電流である。異なるトランジスター・マッチング・レイアウトの特性を比較するために 2 セットのシミュレーションを行った。第 1 セットでは、サブトランジスタのサイズが全てのレイアウトスキームについて、W<sub>s</sub> = 10 μm、L<sub>s</sub> = 10 μm に設定されている。

すると、各種のレイアウトスキームの幅 W 及び長さ L は以下の通りである。

共通中心型レイアウト : W = 20 μm L = 10 μm

4 セグメント型レイアウト : W = 40 μm L = 10 μm

マルチブル共通中心点型レイアウト : W = 80 μm L = 10 μm

第 5 図はこの第 1 セットのシミュレーション結果を示す図である。横軸は勾配方位角 θ、縦軸は百分率ミスマッチ (%) を示している。この結果から明らかのように、本発明のマルチブル共通中心点型レイアウトは共通中心点型レイアウトに匹敵するマッチング特性の改善を示している。すなわち、マルチブル共通中心点型レイアウトの百分率ミスマッチ (%) は、共通中心点型レイアウトのそれよ

り 3 桁も小さい。

第 2 セットのシミュレーションは、第 1 のトランジスタ M1 及び第 2 のトランジスタ M2 のサイズが、すべてのレイアウトスキームについて等しいという条件の下に実行された。すなわち、第 1 のトランジスタ M1 及び第 2 のトランジスタ M2 の幅 W は 80 μm、長さ L は 10 μm とした。すると、各種のレイアウトスキームのサブトランジスタの大きさは以下の通りになる。

$$\text{共通中心型レイアウト : } W_s = 40 \mu\text{m} \quad L_s = 10 \mu\text{m}$$

$$4 \text{ セグメント型レイアウト : } W_s = 20 \mu\text{m} \quad L_s = 10 \mu\text{m}$$

$$\text{マルチプル共通中心点型レイアウト : } W_s = 10 \mu\text{m} \quad L_s = 10 \mu\text{m}$$

第 6 図は第 2 セットのシミュレーション結果を示す図である。横軸は勾配方位角 θ、縦軸は百分率ミスマッチ (%) を示している。この結果から明らかのように、本発明のマルチプル共通中心点型レイアウトの百分率ミスマッチ (%) は他のレイアウトのいずれに比較しても改善されている。

また、本発明のマルチプル共通中心点型レイアウトは、4 セグメント型レイアウトに比してレイアウト領域が少ないという特徴を有している。このマルチプル共通中心点型レイアウトによるマッチング改善効果は、共通中心点型レイアウトに比べて少しだけレイアウト領域を余分に必要とするだけで得ることができる。

次ページの表は、3 つの異なるレイアウトスキームの面積を計算する式と、与えられた 1 セットのパラメータに対して計算された面積を示している。メイントランジスタである第 1 のトランジスタ M1 及び第 2 のトランジスタ M2 の大きさは、すべてのレイアウトスキームに対して、幅 W は 80 μm、長さ L は 10 μm であり、d1 = d2 = d3 = 4 μm である。

共通中心点型レイアウトでは、それぞれのメイントランジスタが 2 つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 Ws は 40 μm、長さ Ls は 10 μm である。4 セグメント型レイアウトでは、それぞれのメイントランジ

スタが4つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 $W_s$ は20μm、長さ $L_s$ は10μmである。

本発明のマルチプル共通中心点型レイアウトではそれぞれのメイントランジスタが8つのサブトランジスタに分割され、それぞれのサブトランジスタの幅 $W_s$ は10μm、長さ $L_s$ は10μmである。

表

レイアウトタイプ	面積評価式	計算された面積 [ $W=80\mu m$ , $L=10\mu m$ , $d_1=d_2=d_3=4\mu m$ ]
共通中心点型	$(2L_s+d_2)(2W_s+d_1)$	$2.016e-9m^2$ [ $W_s=40\mu m$ , $L_s=10\mu m$ ]
4セグメント型	$(2W_s+2L_s+3d_1)(2W_s+2L_s+3d_1)$	$5.184e-9m^2$ [ $W_s=20\mu m$ , $L_s=10\mu m$ ]
マルチ共通中心点型	$(4L_s+2d_2+d_3)(4W_s+3d_1)$	$2.704e-9m^2$ [ $W_s=10\mu m$ , $L_s=10\mu m$ ]

\*  $L_s$ と $W_s$ はサブトランジスタのサイズを表す

\*  $L$ と $W$ は全体トランジスタのサイズを表す

上述したように、本発明のマルチプル共通中心点型レイアウトによれば、4セグメント型レイアウトに匹敵するマッチング特性が得られ、しかもレイアウト領域を少なくできるという効果を有する。

特に、本発明のレイアウトをオペアンプの差動トランジスタペアやカレントミラーを構成するトランジスタペアに適用することにより、低オフセットのオペアンプを実現することができる。

## 請求の範囲

1. 第1及び第2のトランジスタが、4つのサブトランジスタを含む第1のセル、第2のセル、第3のセル及び第4のセルから構成され、全体として4行4列のマトリックスに配置された16個のサブトランジスタから成る回路レイアウト構造であって、

前記第1のセルは、第1行第1列及び第2行第2列に前記第2のトランジスタを構成するサブトランジスタがそれぞれ配置され、第1行第2列及び第2行第1列に前記第1のトランジスタを構成するサブトランジスタがそれぞれ配置され、かつこれらのサブトランジスタは共通の中心点に対して対称に配置されて成り、

前記第2のセルは、前記第1のセルに対して線対称に配置されて成り、

前記第3のセル及び前記第4のセルは、前記第1のセル及び前記第2のセルに対して線対称に配置されて成ることを特徴とする回路レイアウト構造。

2. 前記第1のトランジスタを構成する各サブトランジスタのゲートと前記第2のトランジスタを構成する各サブトランジスタのゲートが共通接続され、前記第1及び第2のトランジスタがカレントミラー回路を構成することを特徴とする請求の範囲第1項に記載の回路レイアウト構造。

3. 前記第1のトランジスタを構成する各サブトランジスタのゲートが共通に接続されて前記第1のトランジスタのゲートを構成し、前記第2のトランジスタを構成する各サブトランジスタのゲートが共通接続されて前記第2のトランジスタのゲートを構成することを特徴とする請求の範囲第1項に記載の回路レイアウト構造。

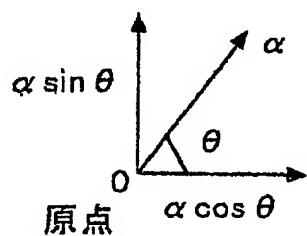
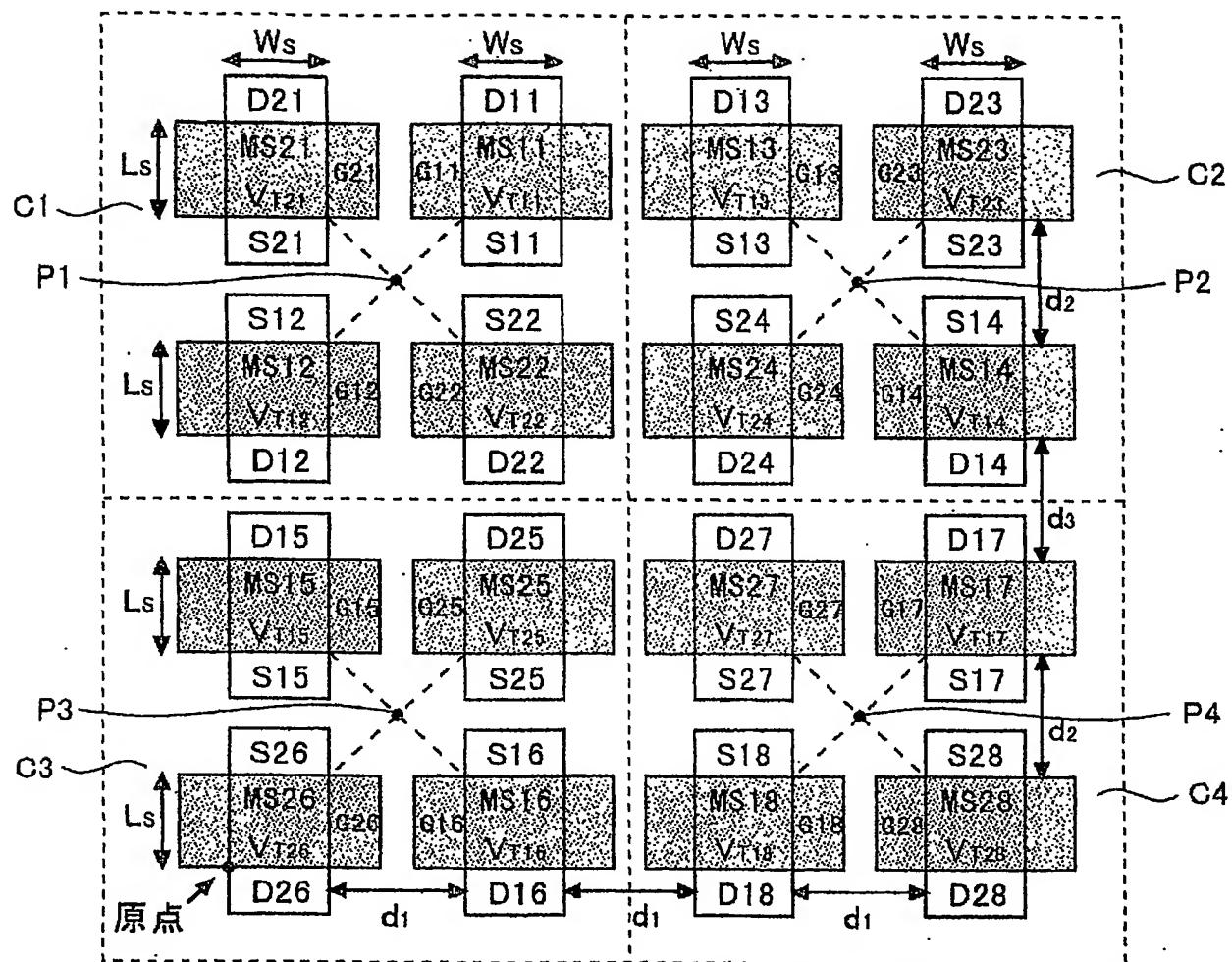
4. 前記第1及び第2のトランジスタが差動アンプの差動入力ペアトランジスタを構成することを特徴とする請求の範囲第3項に記載の回路レイアウト構造。

5. 前記第1のトランジスタを構成する各サブトランジスタのソースが共通接続され、かつ前記第1のトランジスタを構成する各サブトランジスタのドレインが共通接続されたことを特徴とする請求の範囲第1項、第2項、第3項、第4項のいずれかに記載の回路レイアウト構造。

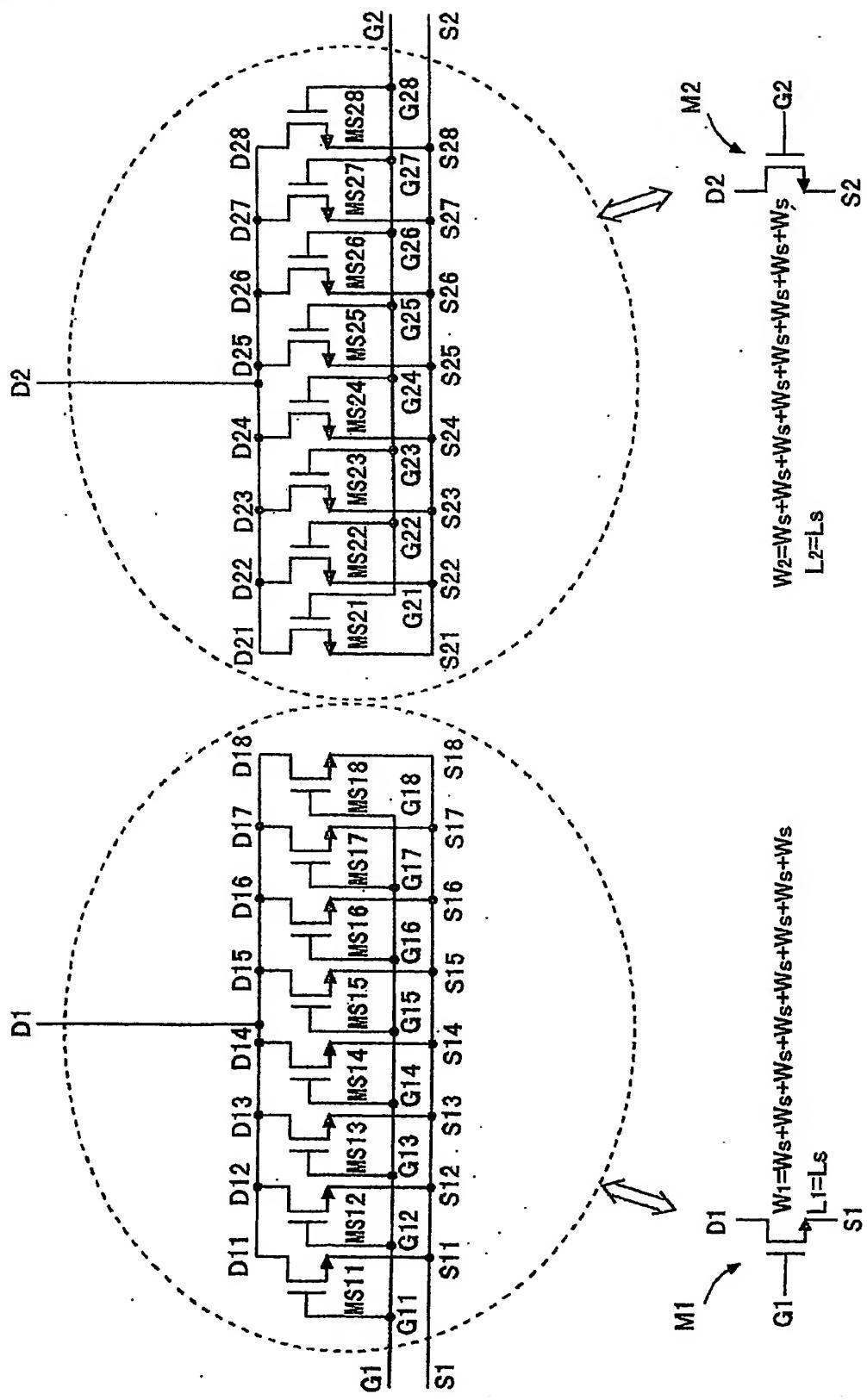
6. 前記第2のトランジスタを構成する各サブトランジスタのソースが共通接続され、かつ前記第2のトランジスタを構成する各サブトランジスタのドレインが共通接続されたことを特徴とする請求の範囲第5項に記載の回路レイアウト構造。

7. 前記第1のセル、第2のセル、第3のセル及び第4のセルから成る回路が、線対称となるように複数配置されていることを特徴とする請求の範囲第1項、第2項、第3項、第4項のいずれかに記載の回路レイアウト構造。

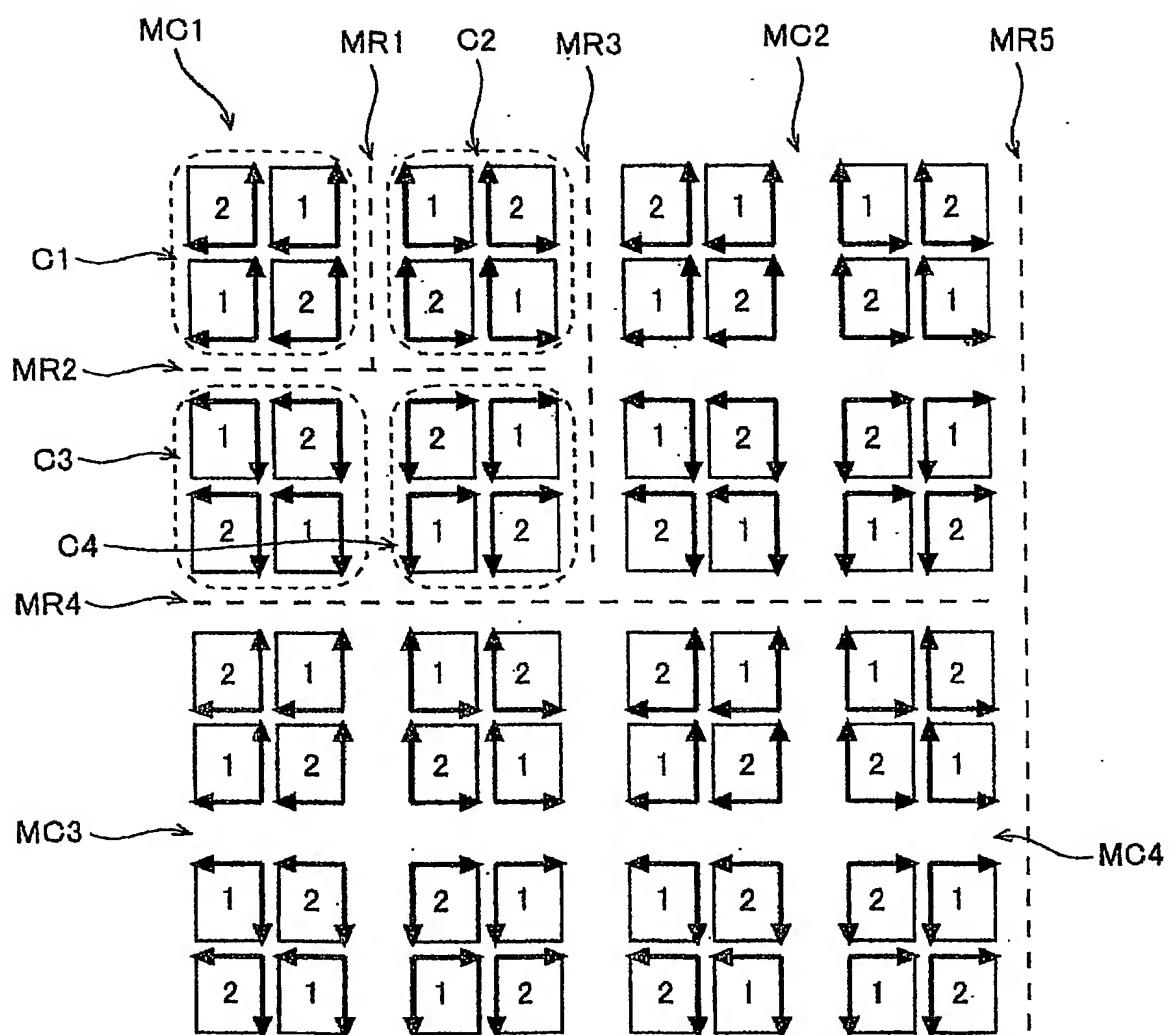
### 第1図



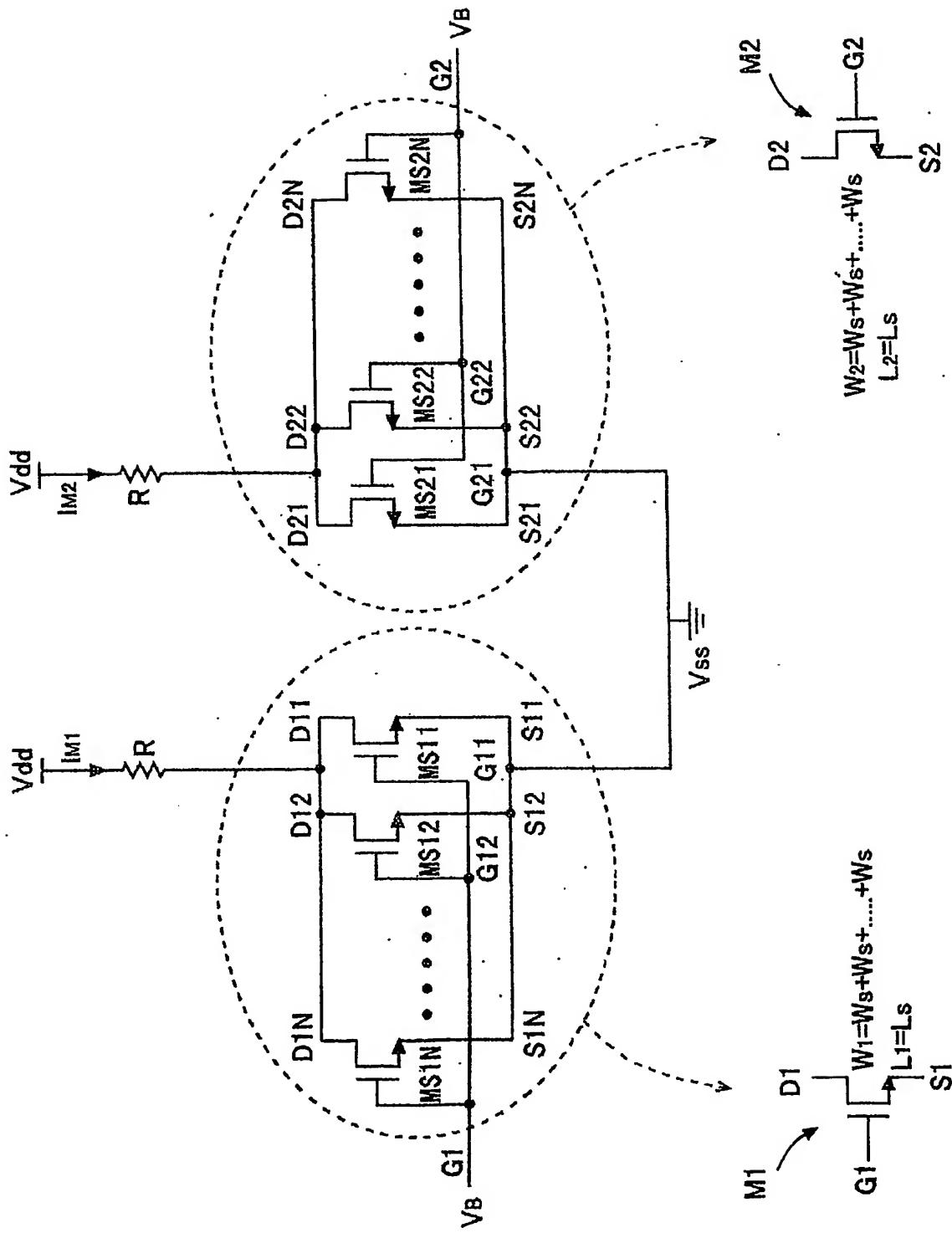
第2図



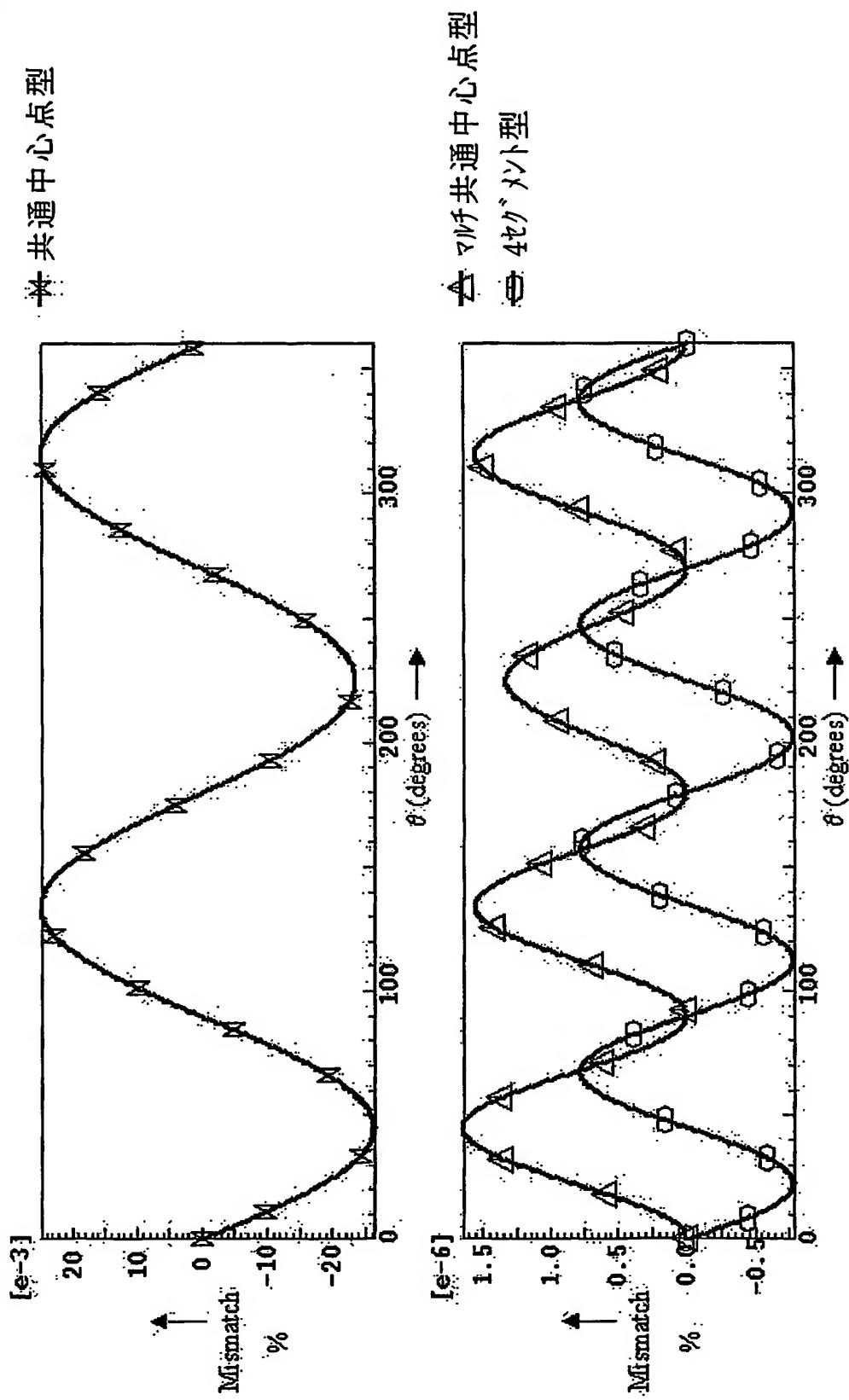
第3図



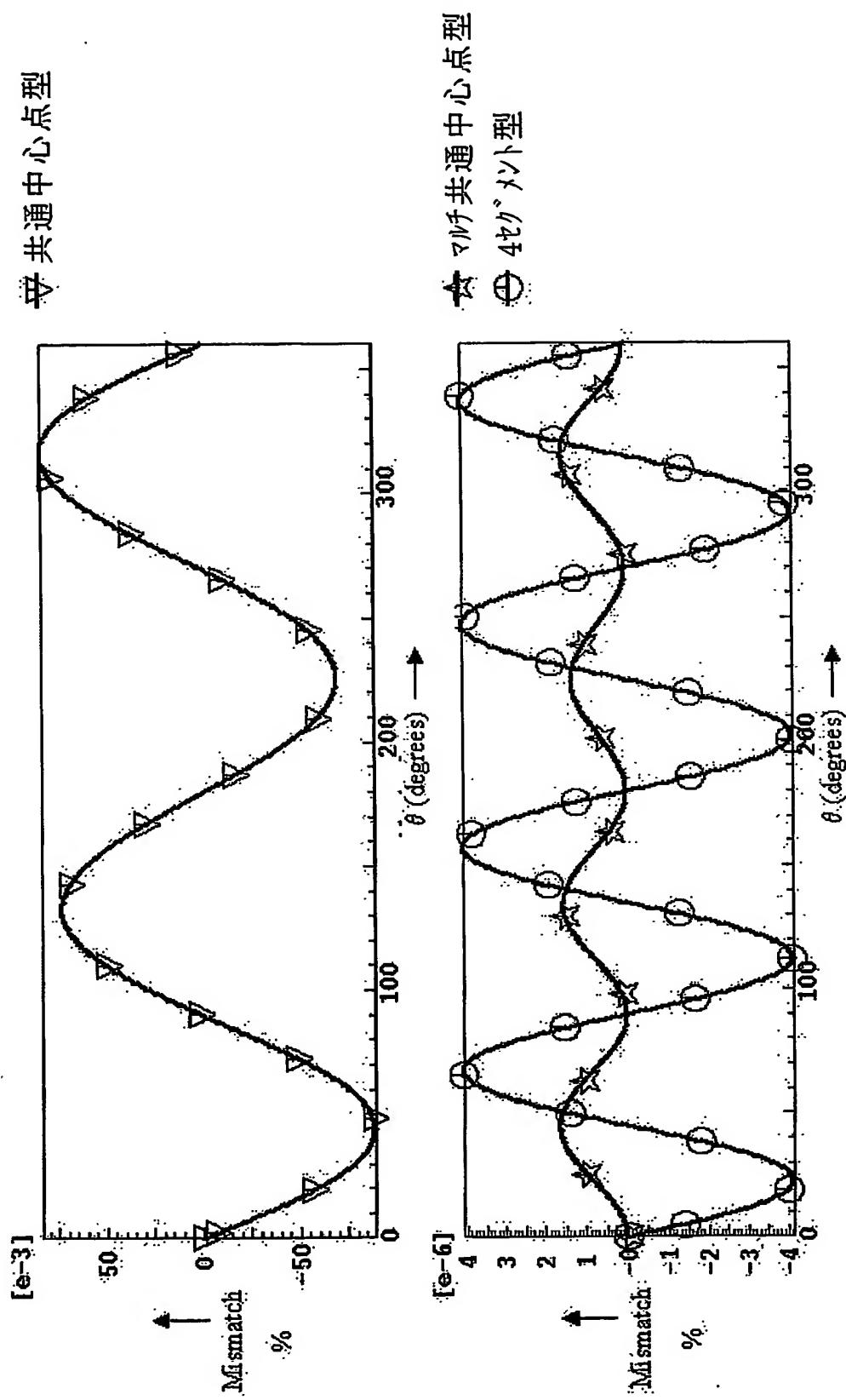
#### 第4図



第5図

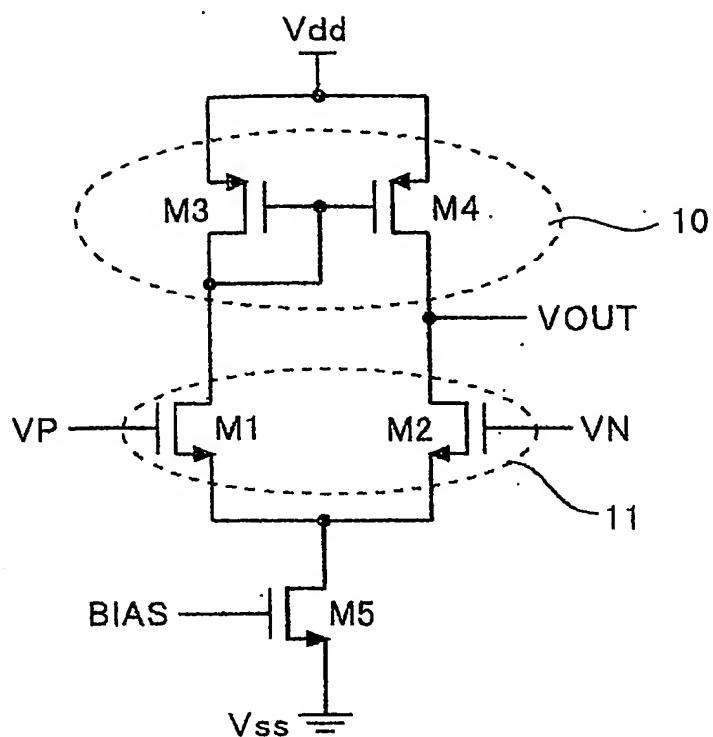


第6図

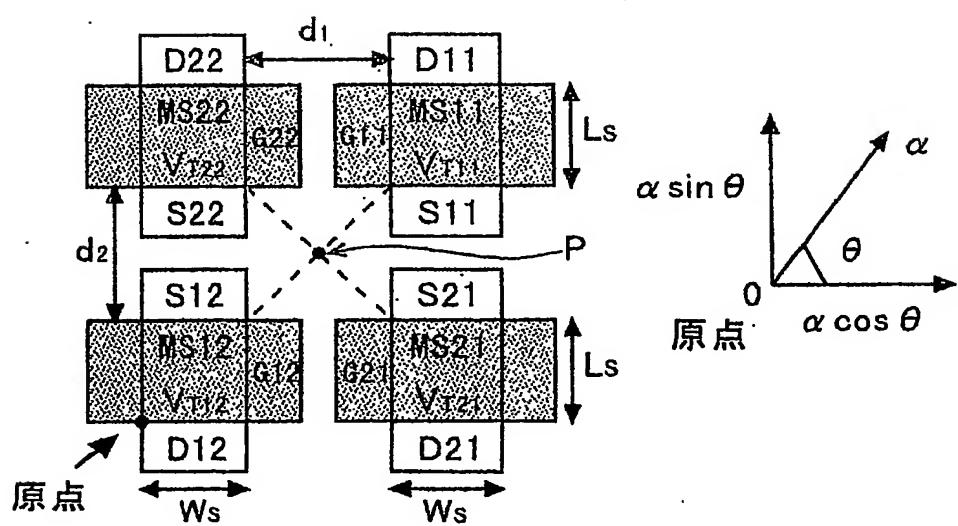


7/11

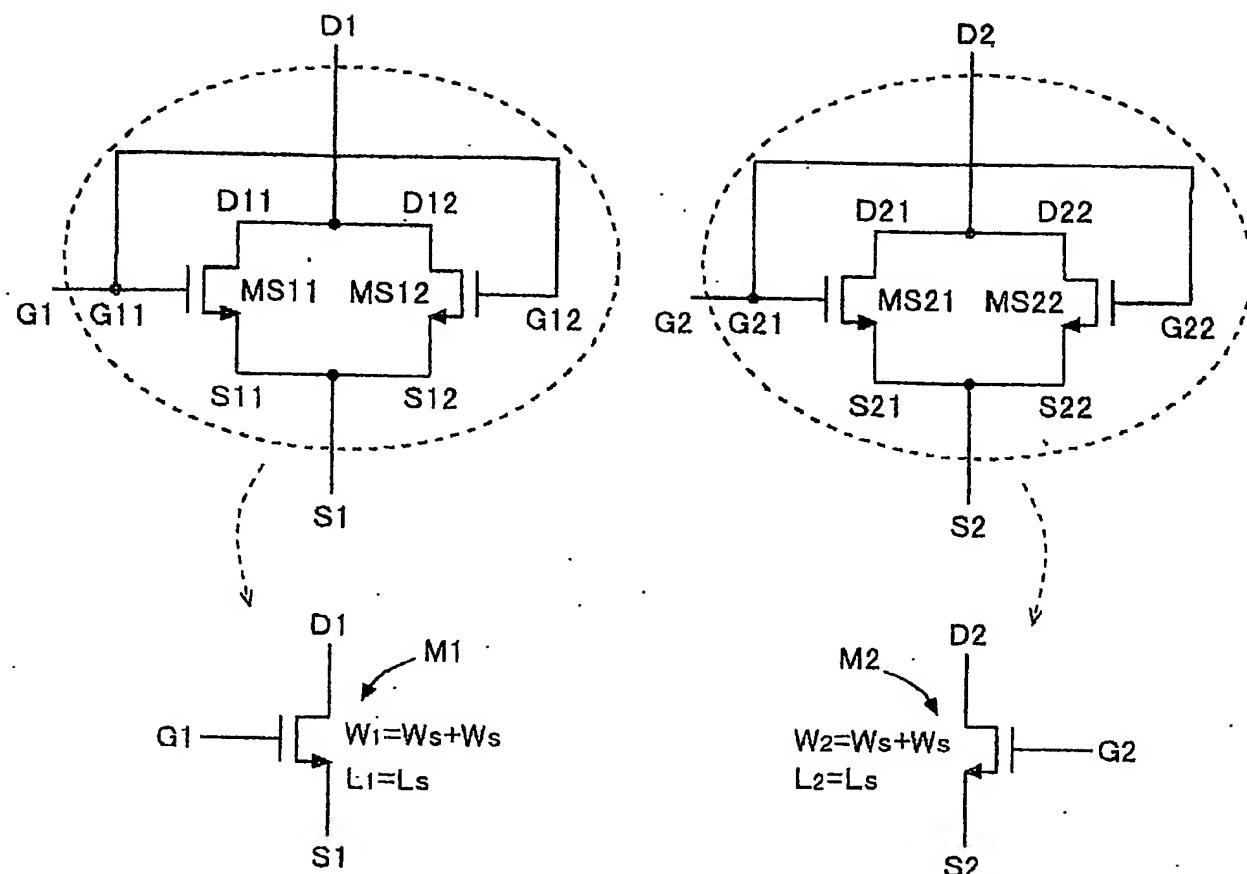
第7図



第8図

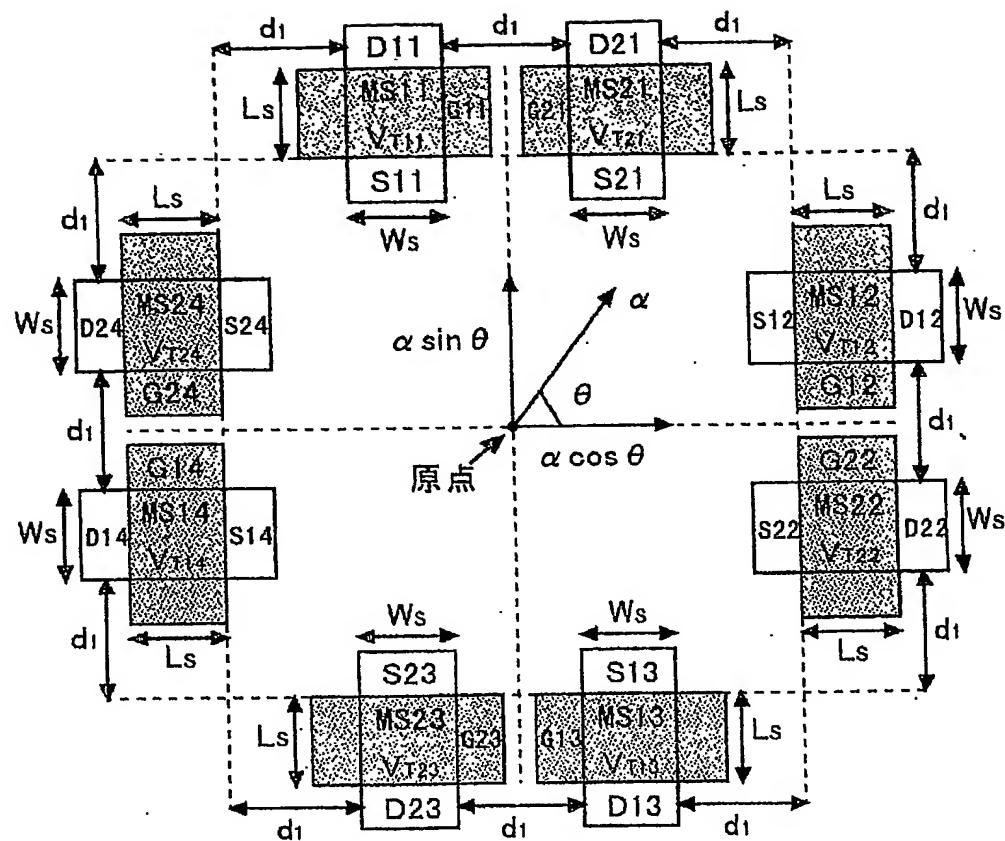


第9図



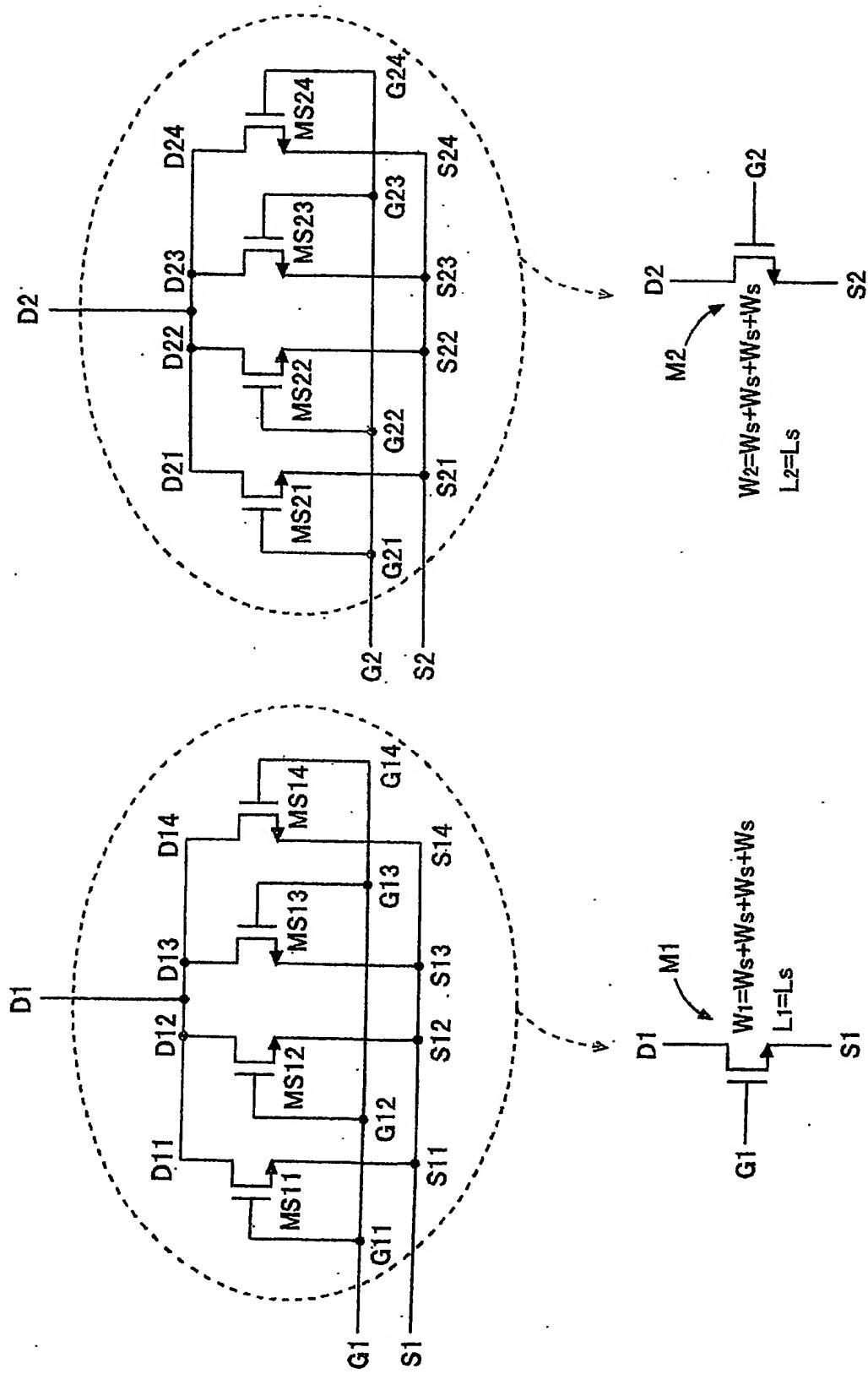
9/11

## 第10図



10/11

第 11 図



11/11

M1	第1のトランジスタ
M2	第2のトランジスタ
MS11～MS28	サブトランジスタ
P1, P2, P3, P4	共通の中心点
C1	第1のセル
C2	第2のセル
C3	第3のセル
C4	第4のセル
MC1	マクロセル

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15328

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L21/82, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/82, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6552402 B1 (MATSUSHITA ELECTRONICS CORP.), 22 April, 2003 (22.04.03), Full text; all drawings & JP 2000-36582 A Full text; all drawings & CN 1231512 A	1-7
A	JP 8-274259 A (Nissan Motor Co., Ltd.), 18 October, 1996 (18.10.96), Full text; all drawings (Family: none)	1-7
A	JP 2001-168197 A (Sony Corp.), 22 June, 2001 (22.06.01), Full text; all drawings (Family: none)	1-7

Further documents are listed in the continuation of Box C.  See patent family annex.

* "A" Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
09 February, 2004 (09.02.04)Date of mailing of the international search report  
24 February, 2004 (24.02.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/15328

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-91504 A (NEC IC Miconsystem Kabushiki Kaisha), 31 March, 2000 (31.03.00), Full text; all drawings (Family: none)	1-7

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' H01L21/82, H01L27/04

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' H01L21/82, H01L27/04

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6552402 B1 (MATSUSHITA ELECTRONICS CORPORATION) 2003.04.22, 全文, 全図 & JP 2000-36582 A 全文, 全図 & CN 1231512 A	1-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 09.02.2004	国際調査報告の発送日 24.2.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 棚田 一也 電話番号 03-3581-1101 内線 3462

C(続き)	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-274259 A (日産自動車株式会社) 1996.10.18, 全文, 全図 (ファミリーなし)	1-7
A	JP 2001-168197 A (ソニー株式会社) 2001.06.22, 全文, 全図 (ファミリーなし)	1-7
A	JP 2000-91504 A (日本電気アイシーマイコンシステム株式会社) 2000.03.31, 全文, 全図 (ファミリーなし)	1-7

## 第IV欄 (iv) 発明者である旨の申立て（米国を指定国とする場合）

申立ては実施規則第 214 号に規定する以下の標準文書を使用して作成しなければならない。第回欄と同様(iv)～(v)の箇所の記述部分、及び本頁に特有の事項について第V欄(iv)の備考を参照。この欄を使用しないときは、この用紙を顎書に含めないこと。

発明者である旨の申立て（規則 4.17(iv) 及び 51 の 2.1(a)(iv))  
(米国を指定国とする場合)

私は、特許請求の範囲に記載され、かつ特許が求められている対象に関して、自らが最初、最先かつ唯一の発明者である（発明者が 1 名しか記載されていない場合）か、あるいは共同発明者である（複数の発明者が記載されている場合）と信じていることを、ここに申し立てる。

本申立ては、本書がその一部をなす国際出願を対象としたものである（出願時に申立てを提出する場合）。

本申立ては、国際出願 PCT/\_\_\_\_\_ を対象としたものである（規則 26 の 3 に従って申立てを提出する場合）。

私は、特許請求の範囲を含め、上記国際出願を検討し、かつ内容を理解していることを、ここに表明する。私は、PCT 規則 4.10 の規定に従い、上記出願の顎書において主張する優先権を特定し、かつ、「先の出願」という見出しの下に、出願番号、国名又は世界貿易機関の加盟国名、出願日、出願月、出願年を記載することで、米国以外の少なくとも一国を指定している PCT 国際出願を含め、優先権を主張する本出願の出願日よりも前の出願日を有する、米国以外の国で出願された特許又は発明証の出願をすべて特定している。

先の出願：

---

私は、連邦規則法典第 37 編規則 1.56 (37 C.F.R. § 1.56) に定義された特許性に関し重要であると知った情報について開示義務があることを、ここに承認する。さらに、一部継続出願である場合、先の出願の日から一部継続出願の PCT 国際出願日までの間に入手可能になった重要な情報を開示義務があることを承認する。

私は、表明された私自身の知識に基づく陳述が真実であり、かつ情報と信念に関する陳述が真実であると信じることをここに申し立てる。さらに、故意に虚偽の陳述などを行った場合は、米国法典第 18 編第 1001 条に基づき、罰金、拘禁、又はその両方により処罰され、またそのような故意による虚偽の陳述は、本出願又はそれに対して与えられるいかなる特許についても、その有効性を危うくすることを理解した上で陳述が行われたことを、ここに申し立てる。

氏名： サッchin アガラワル Sachin Aggarwal

住所： NOIDA, India

（都市名、米国の州名（該当する場合）又は国名）

郵便のあて名： 66C, Block-D, Sector-53, Kanchanjunga Apartments,  
NOIDA(UTTAR PRADESH) PIN: 201303

国籍： インド国 India

発明者の署名： Sachin Aggarwal

（国際出願の顎書に発明者の署名がない場合や、規則 26 の 3 に基づいて国際出願の出願後に申立ての補充や追加がなされた場合。署名は代理人ではなく、発明者のものでなければならない。）

日付： 28. 11. 03

（国際出願の顎書に発明者の署名がない場合や、規則 26 の 3 に基づいて国際出願の出願後に申立ての補充や追加がなされた場合）

氏名：

---

住所：

（都市名、米国の州名（該当する場合）又は国名）

郵便のあて名：

---

国籍：

発明者の署名：

（国際出願の顎書に発明者の署名がない場合や、規則 26 の 3 に基づいて国際出願の出願後に申立ての補充や追加がなされた場合。署名は代理人ではなく、発明者のものでなければならない。）

日付：

（国際出願の顎書に発明者の署名がない場合や、規則 26 の 3 に基づいて国際出願の出願後に申立ての補充や追加がなされた場合）



この申立ての続葉として「第IV欄(iv)の続き」がある